

К. т. н. О. Н. ПАУЛИН, к. т. н. Ф. С. ШАПО, Н. И. СИНЕГУБ

Украина, Одесский национальный политехнический университет
E-mail: paulin@te.net.ua; stani@te.net.ua

Дата поступления в редакцию
26.01 2005 г.

Оппонент к. т. н. Г. В. КУЦЕНКО
(НТК "Импульс", г. Киев)

МОДЕЛЬ СУММАТОРА С ПАРАЛЛЕЛЬНЫМ ВЫПОЛНЕНИЕМ МИКРООПЕРАЦИЙ

Подтверждено повышение быстродействия суммирующих устройств с параллельным выполнением микроопераций процесса суммирования чисел с плавающей запятой по сравнению с последовательным выполнением.

Временные параметры вычислительных систем являются одними из главных характеристик их функционирования. Для предварительной оценки этих параметров целесообразно осуществлять моделирование вычислительных систем на основе современных специализированных языков и соответствующих САПР.

Наиболее быстродействующим из известных суммирующих устройств является устройство для суммирования чисел с плавающей запятой с параллельным выполнением микроопераций вычисления модуля разности порядков и предварительной подготовки всех возможных частичных сумм мантисс слагаемых (рис. 1) [1]. Теоретические исследования показали, что данное устройство должно быть приблизительно на 40% быстрее распространенных суммирующих устройств с последовательным выполнением микроопераций процесса суммирования чисел с плавающей запятой [1, 2]. Для подтверждения результатов исследования целесообразно провести моделирование данных устройств суммирования и сравнить полученные при этом их временные характеристики.

Эффективным средством для моделирования цифровых устройств является программный пакет Active-HDL [3]. Среда Active-HDL включает в себя высоко-

скоростное компилирующее ядро, обеспечивающее моделирование проектов высокой степени сложности, и предоставляет пользователю широкий спектр возможностей для проведения имитационного моделирования проектов и визуализации полученной информации.

Для моделирования цифрового устройства на языке Verilog необходимо создать функциональную модель данного устройства высокого уровня абстракции [4]. Далее, в соответствии с нисходящей методологией проектирования цифрового устройства, осуществляется структурная декомпозиция устройства. Полученные структурные компоненты в свою очередь могут быть разделены на компоненты более низкого уровня либо реализованы операторами языка Verilog на поведенческом (алгоритмическом) уровне. Таким образом, по окончании каждого этапа проектирования формируется проект устройства с более подробным уровнем детализации интерфейса устройства, алгоритмов функционирования, показателей быстродействия и т. п. в сравнении с аналогичным описанием на предыдущем этапе.

Предлагаемая функциональная модель суммирующего устройства двух чисел с плавающей запятой $A = m_a \cdot 2^{P_a}$ и $B = m_b \cdot 2^{P_b}$ на высшем уровне абстракции Adder_With_Floating_Comma, Verilog-описание (модуль) которой приведено на листинге 1, содержит пять входных портов (Pa_In — вход порядка P_a и Ma_In — вход мантиссы m_a числа A , Pb_In — вход порядка P_b и Mb_In — вход мантиссы m_b числа B , CLK — вход сигнала синхронизации) и два выходных порта (Pc_Out — выход порядка P_c и Mc_Out — выход мантиссы m_c суммы чисел $C = m_c \cdot 2^{P_c}$). Здесь

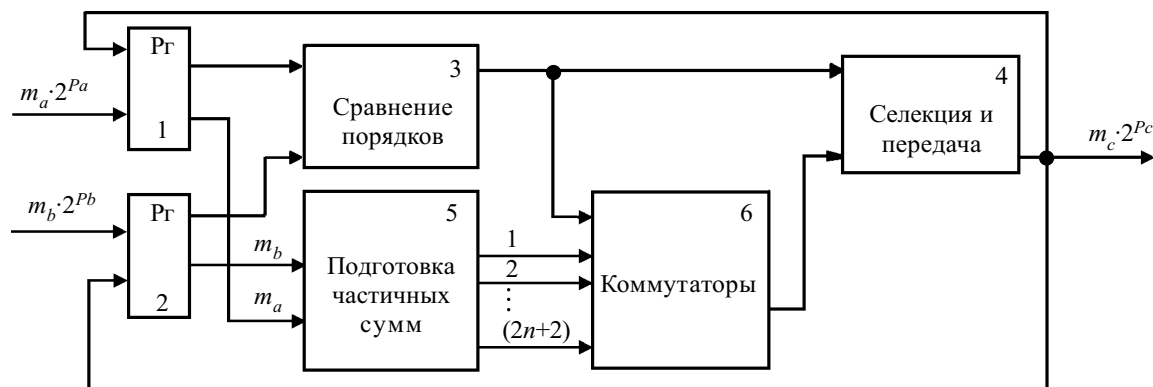


Рис. 1. Структурная схема быстродействующего устройства для суммирования чисел с плавающей запятой

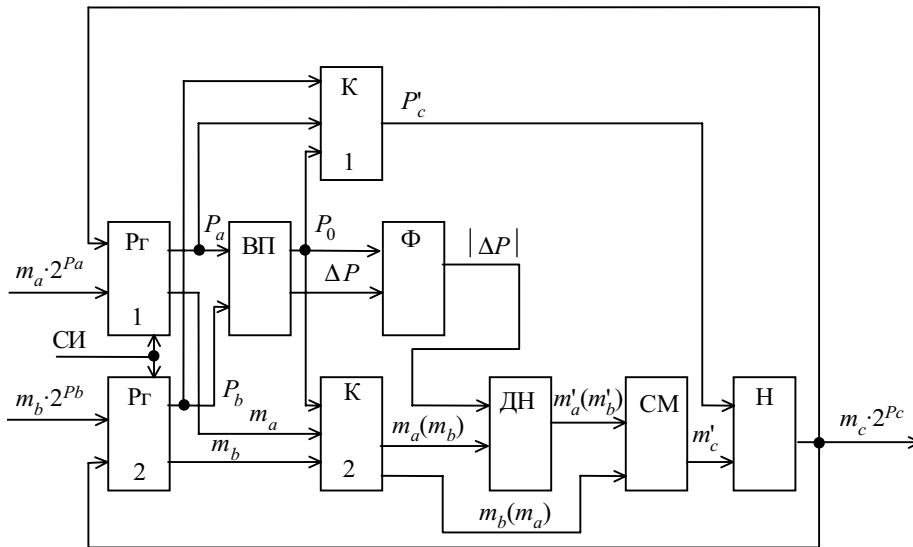


Рис. 2. Структурная схема суммирующего устройства чисел с плавающей запятой СУ1

используются настраиваемые параметры “разрядность порядков” — l и “разрядность мантисс” — n .

С целью дальнейшей структурной декомпозиции модели `Adder_With_Floating_Comma` в качестве первого устройства для моделирования выберем суммирующее устройство чисел с плавающей запятой СУ1 (рис. 2), реализующее процедуру суммирования путем последовательного выполнения во времени микроопераций “классической” макрооперации суммирования [2, 5]. Здесь `Pr1`, `Pr2` — регистры 1, 2 слагаемых $A = m_a \cdot 2^{P_a}$, $B = m_b \cdot 2^{P_b}$, соответственно; `K1`, `K2` — блоки коммутаторов 1, 2; `ВП` — блок вычитания порядков; `Ф` — блок формирователя модуля разности порядков; `ДН` — блок денормализации; `СМ` — блок сумматоров мантисс; `Н` — блок нормализации суммы чисел $C = m_c \cdot 2^{P_c}$; `СИ` — синхроимпульсы (CLK).

Листинг 1

Verilog-описание функциональной модели `Adder_With_Floating_Comma`

// Заголовок модуля суммирующего устройства
module `Adder_With_Floating_Comma` (CLK, `Ma_In`, `Mb_In`, `Mc_Out`, `Pa_In`, `Pb_In`, `Pc_Out`);

// Модуль `Adder_With_Floating_Comma` с интерфейсом из 7 портов

input `Pa_In`, `Ma_In`, `Pb_In`, `Mb_In`, CLK; // Входные сигналы

output `Pc_Out`, `Mc_Out`; // Выходные сигналы
parameter `l` = 2; // Разрядность задана с помощью настраиваемого параметра `l`

parameter `n` = 7;
wire CLK; // Цепь

wire [1:0] `Pa_In`, `Pb_In`, `Pc_Out`; // Создание векторов цепей (`l`-й бит — старший)
wire [n:0] `Ma_In`, `Mb_In`, `Mc_Out`;

always @ (posedge CLK) // Поведенческие операторы

// Внутренняя реализация модуля

endmodule // Конец модуля

В блоке `ВП` данного устройства вычисляется разность порядков ΔP (которая называется выравнива-

ющей разностью (ВР)). По знаку ВР P_0 в блоке `Ф` формируется модуль ВР ($|\Delta P|$), в блоке `K1` выбирается максимальный порядок, а в блоке `K2` — мантисса слагаемого с меньшим порядком. В блоке `ДН` выбранная мантисса сдвигается вправо на число разрядов, равное значению $|\Delta P|$. В блоке `СМ` мантиссы слагаемых, полученные после выравнивания порядков, складываются и в блоке `Н` производится нормализация результата суммирования мантисс слагаемых m'_c и коррекция максимального порядка P'_c .

Дальнейшей декомпозицией модели на высшем уровне абстракции с целью создания

Verilog-описания функциональной модели устройства СУ1 является формирование Verilog-описаний функциональных моделей всех блоков, входящих в состав устройства СУ1. Оригинальными функциональными моделями блоков этого устройства являются: `Reg` (`Pr`), `Diff_Ord` (`ВП`), `Comm` (`K`), `Form` (`Ф`), `Denorm` (`ДН`), `Full_Adder` (`СМ`), `Norm` (`Н`).

Пример оригинального Verilog-описания модели блока сумматоров мантисс `Full_Adder` представлен на листинге 2. Здесь, как и во всех остальных модулях, используется настраиваемая внутри данного модуля константа — параметр `Setting_Time`, с помощью которой задается время срабатывания блока сумматоров мантисс исходя из значений временных параметров элементов используемой элементной базы.

Листинг 2

Verilog-описание функциональной модели блока сумматоров мантисс `Full_Adder`

'timescale 10 ns / 1 ps

// Заголовок модуля блока сумматоров
module `Full_Adder` (`Carry_In`, `Mant_1`, `Mant_2`, `Sum`, `Carry_Out`);

input `Carry_In`, `Mant_1`, `Mant_2`;

output `Sum`, `Carry_Out`;

parameter `Setting_Time` = 10;

parameter `n` = 7;

parameter `k` = `n` - 1;

wire `Carry_In`, `Carry_Out`;

wire [n:0] `Mant_1`, `Mant_2`, `Sum`;

wire [k:0] `P`; // Нулевая `n`-разрядная константа

assign `P` = {`n`{1'b0}};

assign #`Setting_Time` {`Carry_Out`, `Sum`} = `Mant_1` + `Mant_2` + {`P`, `Carry_In`};

endmodule

Все модели блоков (точнее, их Verilog-описания) предварительно моделируются в среде Active-HDL с целью проверки корректности функционирования данных моделей. В качестве примера на рис. 3 показана временная диаграмма работы модуля `Full_Adder`, на входы которого `Carry_In`, `Mant_1`, `Mant_2` поступают

Name	Value	100 ns	150
Carry_In	1		
Mant_1	88	88	
Mant_2	88	88	
Sum	11	XX	11
Sum(7)	0		
Sum(6)	0		
Sum(5)	0		
Sum(4)	1		
Sum(3)	0		
Sum(2)	0		
Sum(1)	0		
Sum(0)	1		
Carry_Out	1		

Рис. 3. Временная диаграмма работы модуля Full_Adder

отображаемые в шестнадцатеричном и двоично-шестнадцатеричном кодах значения сигналов «1» (1), «10001000» (88) и «10001000» (88), соответственно. Через время задержки, определяемое параметром Setting_Time = 10, в соответствии с функциональным назначением блока сумматоров мантисс, на выходах Sum, Carry_Out модуля формируются значения суммы мантисс «00010001» (11) и переноса «1» (1), соответственно.

Из Verilog-описаний моделей блоков устройства CY1 с использованием объявленных сигналов формируется Verilog-описание функциональной модели устройства CY1.

На рис. 4 показана полученная в результате моделирования в среде Active-HDL устройства CY1 временная диаграмма его работы. Здесь информация представлена в шестнадцатеричном коде: m_a (Ma_In) = 96, P_a (Pa_In) = 3, m_b (Mb_In) = 96, P_b (Pb_In) = 1, m_c (MRes_Out) = BB, P_c (PRes_Out) = 3. Устройство CY1 запускается передним фронтом синхросигнала CLK, и из временной диаграммы видно, что время срабатывания данного устройства равно 280 нс. Таким образом, в результате моделирования устройства CY1 определилось время задержки суммирующего устройства с последовательным выполнением во времени микроопераций «классической» макрооперации суммирования чисел с плавающей запятой.

В качестве второго устройства для моделирования рассмотрим суммирующее устройство чисел с плавающей запятой CY2, функциональная модель

Name	Value	50	100	150	200	250	300	350	400	450	500
CLK	0										
Ma_In	96	96									
Pa_In	3	3									
Mb_In	96	96									
Pb_In	1	1									
MRes_Out	BB	XX									BB
PRes_Out	3	X									3

Рис. 4. Временная диаграмма работы CY1

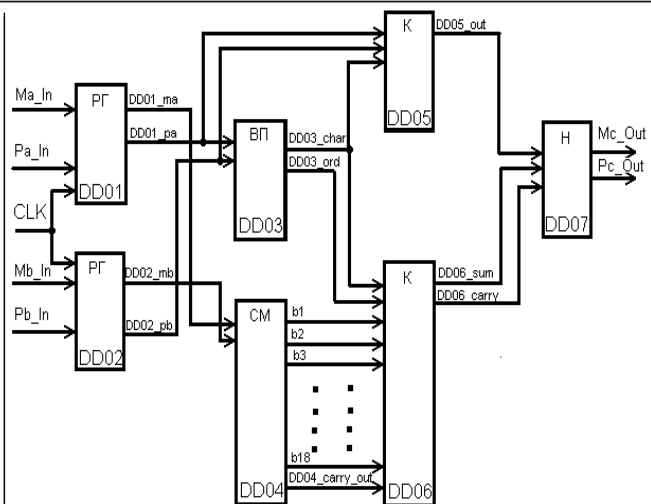


Рис. 5. Функциональная модель устройства CY2

которого представлена на рис. 5. Устройство реализует процедуру суммирования путем параллельного выполнения во времени микроопераций вычисления модуля разности порядков и подготовки $(2n + 2)$ частичных n -разрядных сумм мантисс слагаемых ($n = 8$) с последующим затем выбором необходимой частичной суммы аналогично устройству на рис. 1.

При составлении Verilog-описания модели устройства CY2 в нем используются Verilog-описания следующих функциональных моделей блоков устройства CY1: Reg, Diff_Ord, Comm (в новом проекте назван Comm_1), Norm. Дополнительно в CY2 применяются оригинальные функциональные модели блоков: Full_adder — блок подготовки $(2n + 2)$ частичных n -разрядных сумм мантисс слагаемых m_a и m_b , в состав которого входят двухоперандные n -разрядные сумматоры adder_AB (здесь $n = 8$); adder_AB — двухоперандный n -разрядный сумматор ($n = 8$); Comm — коммутатор модифицированный, где по значению знака и модуля разности порядков выбирается нужная частичная сумма. При этом временные характеристики однотипных модулей данного устройства и устройства CY1 равны.

На рис. 6 представлена временная диаграмма работы устройства CY2, при этом CY2 срабатывает по переднему фронту синхросигнала CLK. Из временной диаграммы следует, что время задержки данного суммирующего устройства равно 180 нс.

Сравнивая время задержек устройств CY1 и CY2, получаем, что устройство CY2 примерно на 50% быстрее суммирующего устройства CY1.

Name	Value	50	100	150	200	250	300	350	400	450
CLK	0									
Ma_In	96	96								
Pa_In	3	3								
Mb_In	96	96								
Pb_In	1	1								
Mc_Out	BB	XX								BB
Pc_Out	3	X								3

Рис. 6. Временная диаграмма работы CY2

Таким образом, полученные результаты поведенческого моделирования рассмотренных суммирующих устройств подтвердили правильность расчетов временных параметров устройств суммирования, представленных в [1], т. е. подтвердили повышение быстродействия суммирующих устройств с параллельным выполнением микроопераций. Кроме того, из отлаженных Verilog-описаний функциональных моделей типовых блоков, входящих в состав суммирующего устройства чисел с плавающей запятой, в дальнейшем возможен синтез оригинальных структур суммирующих устройств чисел с плавающей запятой.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Синегуб Н. И. Сумматоры чисел с плавающей запятой // Тр. Одес. политехн. ун-та.— 2004.— № 1.— С. 96—99.
2. Самофалов К. Г., Луцкий Г. М. Структуры и организация функционирования ЭВМ и систем.— Киев: Вища школа, 1978.
3. ALDEC's EVITA InterActive-HDL Tutorial.— Aldec, Inc.: Henderson, NV 89014.
4. Кондратенко Ю. П., Мохор В. В., Сидоренко С. А. Verilog-HDL для моделирования и синтеза цифровых электронных схем.— Николаев: Изд-во НГТУ, 2002.
5. Паулин О. Н., Синегуб Н. И. О некоторых способах повышения быстродействия сумматоров/вычитателей с плавающей запятой / Деп. в ГНТБ Украины 28.07.97, № 441-Ук97.

ВЫСТАВКИ. КОНФЕРЕНЦИИ

ЩОРІЧНА СПЕЦІАЛІЗОВАНА ВИСТАВКА

ЕНЕРГЕТИКА ЕЛЕКТРОТЕХНІКА АВТОМАТИКА



7-10 червня, 2005 р.
Донецьк, Україна



ПРОГРАМА:

ПРЕЗЕНТАЦІЇ ФІРМ - УЧАСНИЦЬ ВИСТАВКИ
ДІЛОВІ ПЕРЕГОВОРИ
НАУКОВО - ПРАКТИЧНІ СЕМІНАРИ

Головний інформаційний
спонсор:



Тел./факс: (062) 381-21-50, 381-21-41, (0622) 57-07-32
E-mail: Zaharov@expodon.dn.ua
Borisenko@expodon.dn.ua
Nataly@expodon.dn.ua
<http://www.expodon.dn.ua>

Спеціалізований виставковий центр «ЕкспоДонбас»
вул. Челюскінців, 189-в, Донецьк, Україна, 83048

