

ДОСЛІДЖЕННЯ УДОСКОНАЛЕНОГО ДЕТЕКТОРА QPSK-СИГНАЛІВ

Д. т. н. А. П. Бондарєв, к. т. н. І. П. Максимів, к. т. н. С. І. Алтунін

Національний університет «Львівська політехніка»
Україна, м. Львів
bondap@ukr.net

Розглянуто шляхи підвищення завадостійкості пристроїв фазової синхронізації. Дослідження проведені методами імітаційного моделювання та натурних експериментів. Імітаційним моделюванням показано можливість зниження шумового порогу пристроїв фазової синхронізації на 1,5–2 дБ у випадку подавання на вхід суміші шуму та цифрових радіосигналів із сучасними видами модуляції.

Ключові слова: QPSK, демодулятор, завадостійкість, прямий цифровий синтез (DDS).

Пристрої фазової синхронізації є універсальними пристроями, що використовуються у радіоелектронних системах для розв'язання різного роду задач: від генерування високочастотних тактових імпульсів, помноження та ділення частоти до підсилення сигналів з кутовою модуляцією та їхньої демодуляції. Однією зі сфер використання пристроїв фазового автопідстроювання частоти є цифрові приймачі радіосигналів з сучасними типами цифрової модуляції. Найпростішими прикладами використання пристрою ФАПЧ як демодулятора є схеми Костаса для демодуляції BPSK- та QPSK-сигналів [1]. Класичним пристроєм ФАПЧ властива фундаментальна проблема, яка полягає у протиріччі між підвищенням завадостійкості пристрою та збереженням його динамічних властивостей. Ця проблема була вирішена для аналогових пристроїв ФАПЧ [2], а згодом і для цифрових ФАПЧ [3]: автори запропонували модифікацію фазового детектора пристрою, який містить додатковий блок вузькосмугового фільтра для максимального придушення шуму, що надходить на вхід пристрою. Для відновлення спектру вхідного сигналу після його надлишкової фільтрації застосовано фільтр верхніх частот, амплітудно-частотна характеристика якого узгоджена з фільтром нижніх частот у блоці вузькосмугового фільтра. Це дало змогу одночасно підвищити граничну завадостійкість пристрою на 2,5 дБ та покращити його динамічні параметри орієнтовно в 2 рази [3].

Приймальний цифровий пристрій для демодуляції BPSK- та QPSK-сигналів побудовано на основі схеми Костаса, що передбачає квадратурну обробку вхідного сигналу. На рис. 1 зображено класичну схему Костаса для детектування BPSK-сигналів, за якою реалізовано приймальний пристрій у даній роботі.

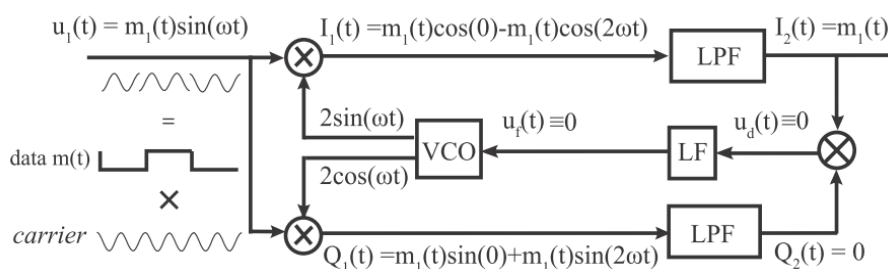


Рис. 1. Схема Костаса для детектування BPSK-сигналів

У цифровій реалізації такого пристрою ГКН генерує квадратурні сигнали (зміщені на 90°), що перемножуються зі вхідним сигналом. Після фільтрації результату перемноження від подвійної гармоніки у верхній гілці ми отримуємо детектований сигнал.

Різновид пристрою ФАПЧ для детектування QPSK-сигналів є дещо складніший. Якщо в попередній схемі для детектування інформаційного сигналу було використано лише одну з двох гілок, то у схемі для QPSK детектований сигнал формується з обох гілок — квадратурної та синфазної.

Реалізацію описаного пристрою було зроблено на базі мікроконтролера PSoC 4. Апаратна частина реалізованого передавача фазоманіпульованих сигналів містить 8-розрядний струмовий цифро-

аналоговий перетворювач (ЦАП), вихід якого підключений до 1-го з виводів мікроконтролера. Для перетворення вихідного струму в напругу до виходу ЦАП підключено резистор номіналом 4,7 кОм.

Програмну частину пристрою формування BPSK- та QPSK-сигналів розроблено в програмному середовищі PSoC Creator 4.2 на мові C. Принцип роботи програми базується на алгоритмі прямого цифрового синтезу частоти (DDS). У пам'яті мікроконтролера записані масиви дискретизованих відліків синусоїд, що відповідають BPSK- та QPSK-сигналам. Програма циклічно подає на ЦАП значення цих відліків. У програмі можна задати довільну послідовність інформаційних бітів, а також регулювати частоту їхнього передавання. Приймальний пристрій реалізований на платі Cmod A7-35T, що побудована на базі ПЛІС компанії Xilinx архітектури Artix-7.

На рис. 2 наведено приклад подавання сигналу з QPSK-модуляцією на вхід демодулятора (зверху) та результату його детектування (знизу). У цьому експерименті частотні параметри пристрою та вхідного сигналу (опорна частота керованого генератора та несуча частота вхідного сигналу) мали ті ж значення, що й для сигналу з двійковою фазовою маніпуляцією.

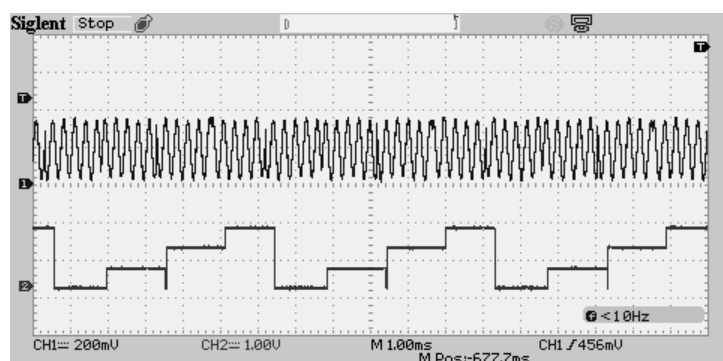


Рис. 2. Детектування сигналу з фазовою маніпуляцією типу QPSK

Подавши QPSK-сигнал на вихід пристрою можна спостерігати інформаційний сигнал, що має чотири рівні, які відповідають чотирьом можливим послідовностям двох бітів: «00», «01», «10», «11». Зміна інформаційного сигналу відбувається в моменти стрибкоподібної зміни фази вхідного сигналу і повністю відповідає вхідному повідомленню. Зменшивши частоту передавання інформаційних бітів до 66 Гц було встановлено, що демодуляція сигналу відбувається коректно і в цьому випадку, причому рівень вихідного сигналу пристрою є стабільним в межах тривалості одного біту інформаційного повідомлення.

Таким чином, експерименти показують, що демодуляція сигналів у приймальному пристрої для демодуляції BPSK- та QPSK-сигналів відбувається коректно для різних співвідношень несучої частоти до частоти передавання інформаційних бітів. Наступні дослідження будуть присвячені розробленню приймача для демодуляції складніших видів фазової та амплітудно-фазової модуляції.

ВИКОРИСТАНІ ДЖЕРЕЛА

1. Best R. E., Kuznetsov N. V., Leonov G. A. et al. Tutorial on dynamic analysis of the Costas loop // Annual Reviews in Control.— 2016.— Vol. 42.— P. 27–49.
2. Bobalo Yu., Bondariev A., Maksymiv I. Determination of acceptable parameters area in modified detector of quadrature phase shift keying signals // Journal of Lviv Polytechnic National University, Series of Radio Electronics and Telecommunication.— Lviv, Ukraine.— 2015.— Vol. 818.— P. 5–10.
3. Bondariev A., Altunin S., Horbatiy I., Maksymiv I. Firmware implementation and experimental research of the phase-locked loop with improved noise immunity // Eastern-European Journal of Enterprise Technologies, series Information and Controlling System.— 2018.— Vol. 95, no. 5/9.— P. 17–25.

A. P. Bondariev, I. P. Maksymiv, S. I. Altunin

Research of an improved detector of QPSK signals

The paper considers a method of improvement the noise immunity of phase-locked loops (PLL). The methods of the research were simulation and full-scale experiments. The results of the simulation show the possibility to reduce the noise threshold of the PLL by 1.5–2 dB in case when input signal is a mixture of noise and digital radio signals with modern types of modulation.

Keywords: QPSK, demodulator, noise immunity, digital direct synthesis (DDS).