

КОНТРОЛЕПРИГОДНАЯ СХЕМА ДВОИЧНОГО СУММАТОРА НА ОСНОВЕ 2-РАЗРЯДНОЙ СЕКЦИИ

К. ф.-м. н. А. И. Тимошкин

Национальная металлургическая академия Украины
Украина, г. Днепр
timoshkin1964@gmail.com

В системах обработки информации всевозрастающую роль играют цифровые интегральные схемы с регулярной структурой (сумматоры, вычитатели, умножители, делители и т. п.). Разработана контролепригодная схема сумматора на основе двухразрядной секции, обладающая проверяющим тестом длиной 5 относительно одиночных константных неисправностей и небольшой аппаратурной сложностью.

Ключевые слова: схемы с регулярной структурой, константная неисправность, проверяющий тест.

Важнейшей задачей технической диагностики цифровых систем является задача получения коротких проверяющих (обнаруживающих) и приемлемых функциональных (полнопереборных) тестов цифровых интегральных микросхем.

В системах обработки информации всевозрастающую роль играют цифровые интегральные схемы с регулярной структурой (сумматоры, вычитатели, умножители, делители и т. п.). В [1, 2] были предложены контролепригодные функционально-логические схемы двоичных сумматоров с последовательным (сквозным) переносом, обладающие проверяющими тестами длиной 5 и 6 относительно константных [3] неисправностей их сигнальных линий, независимо от числа разрядов в них. Существенным недостатком этих схем является недостаточно высокое быстродействие из-за последовательной организации переноса. В [4] предложена контролепригодная функционально-логическая схема двоичного сумматора на основе 4-разрядной секции с одновременным переносом [5] внутри секций и последовательным переносом между секциями, обладающая проверяющим тестом длиной 11 относительно одиночных константных неисправностей ее сигнальных линий, независимо от числа секций в ней. Существенными недостатками этой схемы является большая длина минимального функционального теста (2^{14}) и достаточно большая аппаратурная сложность (за счет дополнительных управляющих вентилей).

В настоящей работе предлагается компромиссный вариант контролепригодной, функционально-логической схемы двоичного сумматора относительно ее быстродействия и длины ее проверяющих тестов.

Предлагаемая контролепригодная логическая схема i -й ($i \in \{1, 2, \dots, m\}$) 2-разрядной секции с одновременным переносом и проверяющий тест для нее приведены на рис. 1 (p_{1i}, P_{2i} — входной и выходной сигналы переноса, $a_{1i}, b_{1i}, a_{2i}, b_{2i}$ — сигналы разрядов слагаемых, S_{1i}, S_{2i} — выходные сигналы разрядов суммы).

Электрическая принципиальная схема элемента «Равнозначность» для логической схемы i -й 2-разрядной секции приведена на рис. 2 (y — входные переменные, f — выходная функция «Равнозначность», E_c — питание) [6]. Проверяющий тест для предлагаемой контролепригодной схемы

n -разрядного ($n = 2m$) сумматора, состоящего из m секций, образуется путем простой итерации теста, приведенного на рис. 1.

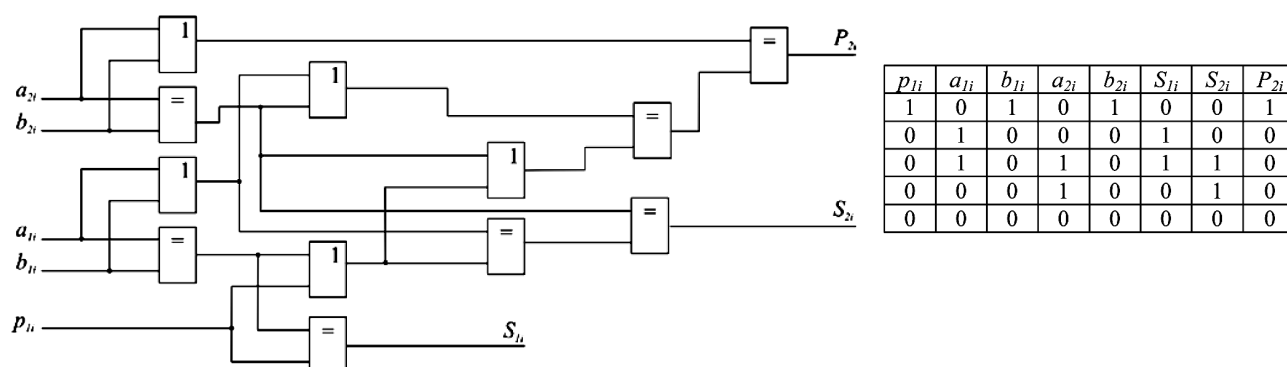


Рис. 1

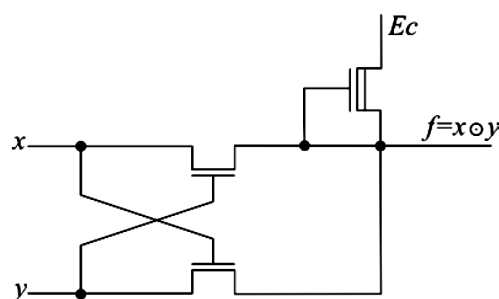


Рис. 2

Предлагаемая контролепригодная функционально-логическая схема двоичного сумматора на основе 2-разрядной секции с одновременным переносом внутри секций и последовательным переносом между секциями обладает проверяющим тестом длиной 5 относительно одиночных константных неисправностей ее сигнальных линий независимо от числа секций в ней, минимальным функциональным тестом длиной 2^5 и небольшой аппаратной сложностью.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Тимошкин А. И. Контролепригодная функционально-логическая схема двоичного сумматора // Приборы и системы управления. — 1997. — №1. — С. 42—43.
2. Тимошкин А. И. Контролепригодная схема двоичного сумматора // Автоматика и вычислительная техника. — 2000. — №3. — С. 82—84.
3. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС. — М.: Мир, 1988.
4. Тимошкин А. И. Контролепригодная схема двоичного сумматора с повышенным быстродействием // Технология и конструирование в электронной аппаратуре. — 2002. — №1. — С. 10-13.
5. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией. Кн. 1. — М.: Мир, 1984.
6. Мурога С. Системное проектирование сверхбольших интегральных схем. Кн. 1. — М.: Мир, 1985.

А. И. Timoshkin

Testable binary adder circuit based on 2-bit section

An increasing role in the information processing systems belongs to digital integrated circuits with regular structure (adders, subtractors, array multipliers, array dividers, etc.). The author presents a low hardware complexity testable binary adder circuit based on the 2-bit section, containing a fault detection test of the length of 5 for stuck-at faults.

Keywords: circuit with a regular structure, stuck-at fault, fault detection test.