

УДК 004.31

## ІНТЕГРАЦІЯ ІНТЕЛЕКТУАЛЬНИХ МОДУЛІВ НА БАЗІ ПЛІС/МІКРОПРОЦЕСОР

Я. М. Крайник

Чорноморський державний університет імені Петра Могили  
Україна, м. Миколаїв  
codebreaker7@mail.ru

*Проводиться аналіз ефективності роботи систем управління та зазначається втрата ефективності при виборі лише однієї з них. Досліджується підвищення ефективності системи при вирішенні задачі класифікації за рахунок поєднання кількох систем у складі одного комплексу з використанням можливостей реконфігурації ПЛІС та з мікропроцесором в якості контролюючого модулю.*

*Ключові слова: часткова реконфігурація, ПЛІС, мікропроцесор.*

Поширеною є практика дослідження інтелектуальних систем (нейронні мережі, нечіткі класифікатори та ін.) з метою порівняння їх характеристик роботи при вирішенні певної задачі та подальшого вибору найкращого для реалізації та практичного використання. Проте, такий підхід часто є компромісним і пов'язаний з необхідністю поступитися у деяких показниках.

В той же час кращим рішенням, за наявності такої можливості, є поєднання структур, що показали найкращі результати. Це дозволить комбінувати переваги структур різних типів при вирішенні задач.

При реалізації таких комбінованих систем на базі програмованих логічних інтегральних схем (ПЛІС) та мікропроцесорів (МП) є можливість використання динамічної часткової реконфігурації, що дозволяє виконати заміну робочої структури в залежності від вхідних даних.

У роботі досліджується ефективність поєднання кількох інтелектуальних структур (нейронної мережі та нечіткого класифікатора) у вигляді окремих модулів в системі на кристалі з ПЛІС та мікропроцесором. Використовується здатність ПЛІС до динамічної часткової реконфігурації для реалізації динамічної системи на прикладі системи виконання класифікації.

Відповідно до результатів попередніх досліджень [1], великої поширеності набули системи, що використовують апаратну реалізацію нейронної мережі на базі ПЛІС [2]. В той же час, порівняння ефективності роботи нейронної мережі та інших інтелектуальних структур демонструє, що ефективність кінцевих результатів може змінюватися в залежності від зміни одного або кількох параметрів. Це значить, що доводиться робити вибір на користь тієї структури, що в більшості, але не у всіх випадках, покаже кращий результат.

Остаточний варіант реалізації нейронної мережі, зазвичай, проходить перевірку та навчання за допомогою спеціального програмного забезпечення, що моделює роботу системи. При цьому також можливі варіанти, коли одна інтелектуальна структура забезпечує кращий результат для більшості випадків, через що на її користь доводиться відмовлятися від інших варіантів реалізації.

Поєднання одразу кількох інтелектуальних структур в одному апаратному рішенні з можливістю реконфігурації [3] на базі ПЛІС/МП дозволяє не йти на компроміс відносно ефективності системи, а отримати кращий результат, виконуючи заміну в залежності від вхідних даних.

Проведено дослідження та виконано вибір на користь трьох структур – двох нейронних мереж [2] та нечіткого класифікатора. Аналіз результатів показав, що при необхідності вибору лише однієї зі структур для реалізації ефективність результатів може зменшуватися до 82%, в той час як поєднання трьох структур дозволить отримати на виході точність не менше 95%.

У системі, де наявні одразу кілька подібних базових структур постає питання про реалізацію контролю щодо виконання реконфігурації. При наявності іншого обчислювального ресурсу у складі гетерогенної системи є можливість перенести виконання функції контролю за процесом реконфігура-

ції на окремий ресурс, наприклад мікропроцесор. В такому випадку необхідна наявність зв'язуючого інтерфейсу, що дозволить реалізувати обмін інформацією. Структура взаємодії для такого випадку показана на рисунку.

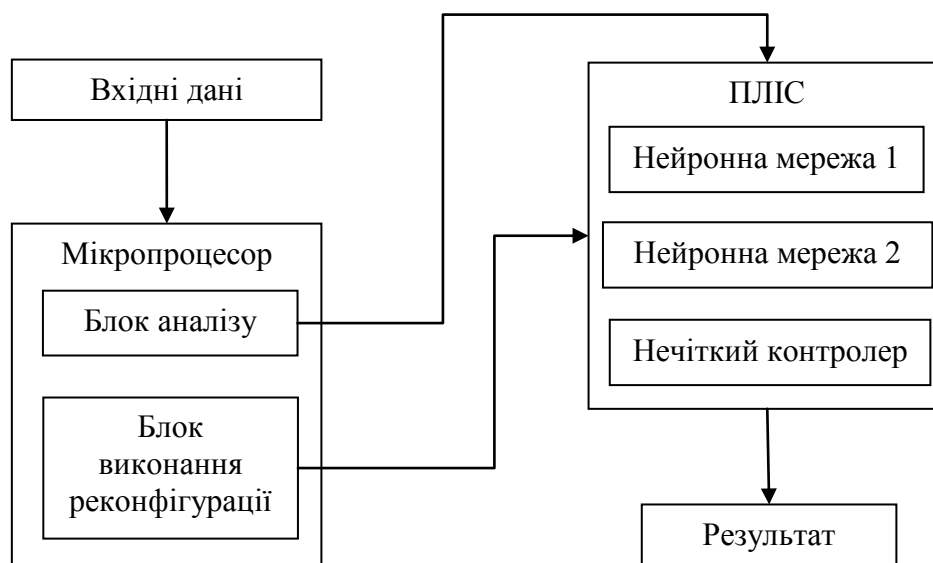


Схема взаємодії між складовими частинами системи

Реалізація програмно-апаратного комплексу виконана за допомогою відлагоджувальної плати AVNET ZedBoard, що містить у своєму складі систему на кристалі (System on Chip, SoC) з Xilinx ZYNQ Z7020 з двома мікропроцесорами ARM Cortex-A9, та з використанням програмного забезпечення PlanAhead, Xilinx Platform Studio та SDK, доступного у складі пакету програм Xilinx ISE WebPack. Використана мова схмотехнічного опису VHDL та виконання реконфігурації за методом «острів».

Реалізована система підтвердила коректність попередніх розрахунків при перевірці на тестовій вибірці та продемонструвала точність не нижче 95%.

#### ВИКОРИСТАНІ ДЖЕРЕЛА

1. Lange R. Design of a Generic Neural Network FPGA-Implementation — Chemnitz. — 2005.
2. Omondi A., Rajapakse J. FPGA Implementations of Neural Network. — Springer, 2006.
3. Hauck S., DeHon A. Reconfigurable Computing The Theory and Practice of FPGA-Based Computation. — Morgan Kauffman, 2008.

У. М. Крайник

#### **Integration of intellectual modules based on FPGA/microprocessor.**

Analysis of efficiency of control systems is performed, and loss of efficiency is observed in case if only one of them is chosen. Combining several systems allows increasing overall efficiency of the system. Usage of FPGA partial reconfiguration capabilities is considered. Also a description of a microprocessor as a controller module is provided.

Keywords: *partial reconfiguration, FPGA, microprocessor.*