

УДК 621.391

ПРОЕКТИРОВАНИЕ ДИСКРЕТНОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ НА ОСНОВЕ FPGA ДЛЯ ОБРАБОТКИ НИЗКОЧАСТОТНЫХ ЭЛЕКТРИЧЕСКИХ СИГНАЛОВ

С. С. Грицков, О. Ставила, к. т. н. Г. Ф. Сорокин

Технический университет Молдовы
Молдова, г. Кишинев
gritscov@gmail.com

В работе рассматривается проектирование на базе FPGA-структур устройства дискретного преобразования Фурье (ДПФ) с вычислениями над полями Галуа, что позволяет сократить объем требуемой для вычислений оперативной памяти в n раз (где n – количество отсчетов для одного преобразования), по сравнению с классическими методами вычисления ДПФ. Представлены результаты проектирования и анализа устройства ДПФ.

Ключевые слова: обработка НЧ-сигналов, ДПФ, конвертор, управление.

Во многих устройствах цифровой обработки сигналов применяется спектральный анализ. При обработке сигналов низкой частоты (не более 20 кГц) можно применить дискретное преобразование Фурье (ДПФ), для реализации которого требуется значительно меньше аппаратных ресурсов (в десятки раз), чем для быстрого преобразования Фурье [1].

В отличие от классических методов, применение ДПФ с вычислениями над полями Галуа позволяет сократить и объем требуемой для вычислений оперативной памяти в n раз (где n – размерность входного вектора или количество отсчетов для одного преобразования) [2].

Реализация ДПФ на основе FPGA (Field Programmable Gate Array) позволяет выполнить проект в виде функциональнонезависимого модуля, который может быть применен в любых других проектах цифровой обработки сигналов, реализованных на базе FPGA. В работе рассмотрен пример реализации спектрометра (устройства ДПФ с вычислениями над полями Галуа).

Проектирование блок-схемы и алгоритма работы устройства ДПФ

При реализации модуля ДПФ была выбрана отладочная плата DE0-Nano фирмы Altera на базе FPGA семейства Cyclone IV и модуля дисплея LCD TRDB-LTM. Необходимо было спроектировать плату дополнительных конверторов (аналогово-цифровых и цифро-аналоговых). Блок-схема модуля ДПФ и управления вспомогательными модулями (в дальнейшем будем называть их устройством ДПФ) представлена на рис. 1.

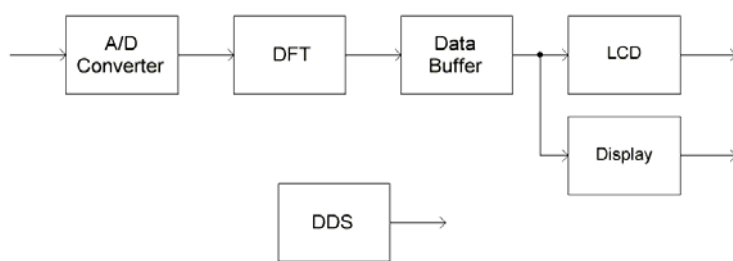


Рис. 1. Блок-схема устройства ДПФ

Дискретное преобразование Фурье выполняет модуль DFT. Для возможности вычисления спектра необходимо преобразовать входной электрический сигнал в цифровую форму, что выполняет модуль A/D Converter. Модули LCD и Display необходимы для управления системами отображения результатов: вывода спектра на жидкокристаллический индикатор, монитор и др. Модуль DDS

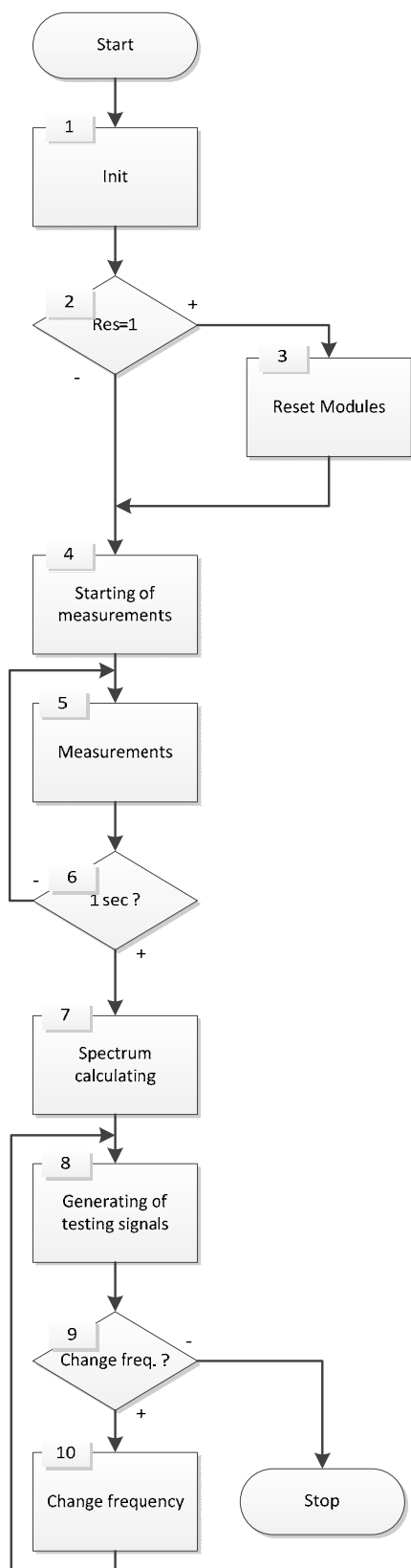


Рис. 2. Алгоритм функционирования устройства ДПФ

представляет собой генератор синусоидального сигнала, который генерирует тестовые сигналы для возможности отладки модуля дискретного преобразования Фурье. Для возможности считывания результата различными устройствами (LCD, Display) необходим буфер для временного хранения вычисленного спектра (Data Buffer).

Для реализации данного проекта на FPGA был разработан алгоритм, представленный на рис. 2.

Устройство ДПФ, согласно алгоритму, функционирует следующим образом: изначально осуществляется инициализация всех модулей устройства (блок 1). Проверяют, была ли нажата кнопка сброса (блок 2). Если кнопка была нажата, все модули устройства приводятся в исходное состояние (блок 3). Далее включается блок начала измерений (блок 4), проводится собственно замер отсчетов (блок 5), а затем проверка его окончания по истечении 1 с (блок 6). На основе измеренных отсчетов вычисляется спектр (блок 7), который будет выведен на экран LCD. Генератор тестового сигнала подает на выход устройства тестовый сигнал (блок 8). Если не была нажата кнопка изменения частоты тестового сигнала (блок 9), измерения завершаются. Если кнопка была нажата, изменяется частота генерации (блок 10), и выполнение алгоритма повторяется с блока 8.

Устройство ДПФ позволяет генерировать синусоидальные сигналы на разных частотах, что необходимо при отладке модуля ДПФ.

Рассмотрим основные принципы реализации данного модуля (рис. 3).

При вычислении спектра сигнала входные отсчеты (входной вектор) записываются в память. Устройства памяти (блоки ROM) содержат значения первой (значащей) строки матрицы синусов и косинусов. Счетчик (блок СТ) выполняет адресацию памяти входного вектора, а также позволяет вычислить значение адреса, по которому будет считываться соответствующее значение функции косинуса и синуса. Считанные значения перемножаются и накапливаются в аккумуляторах (блоки АСС). Накопленные в аккумуляторах значения после достижения счетчиком СТ максимального значения возводятся в квадрат, и мы получаем коэффициенты a^2 и b^2 .

Далее для вычисления значения текущей спектральной составляющей коэффициенты a^2 и b^2 суммируются, и вычисляется квадратный корень из данной суммы (блок sqrt). Значение текущей гармоники передается следующим модулям (в память временного хранения или устройства отображения информации). Устройство, представленное на рис. 3, вычисляет значение текущей гармоники R по формуле

$$R = \sqrt{a^2 + b^2}, \quad (1)$$

где a, b — значения результата перемножения входного вектора на матрицу соответственно синусов и косинусов, полученные в аккумуляторах, соответственно.

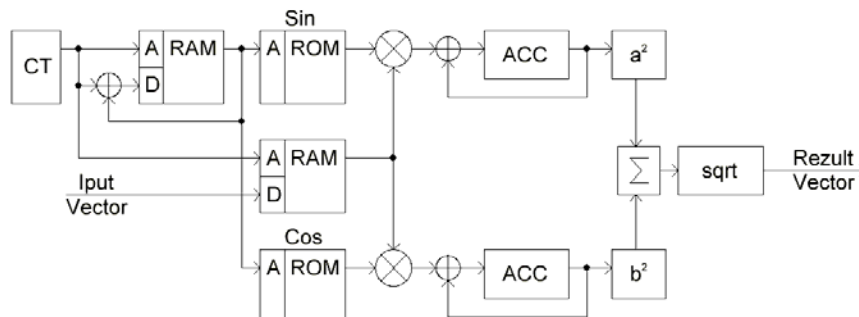


Рис. 3. Блок-схема реализации модуля ДПФ

Практическая реализация устройства ДПФ

На основе спроектированных блок-схем и алгоритмов был реализован проект на языке VHDL, RTL-диаграмма (блок-схема которого устройства, спроектированного в системе Quartus II, полученная при компиляции проекта) представлена на рис. 4.

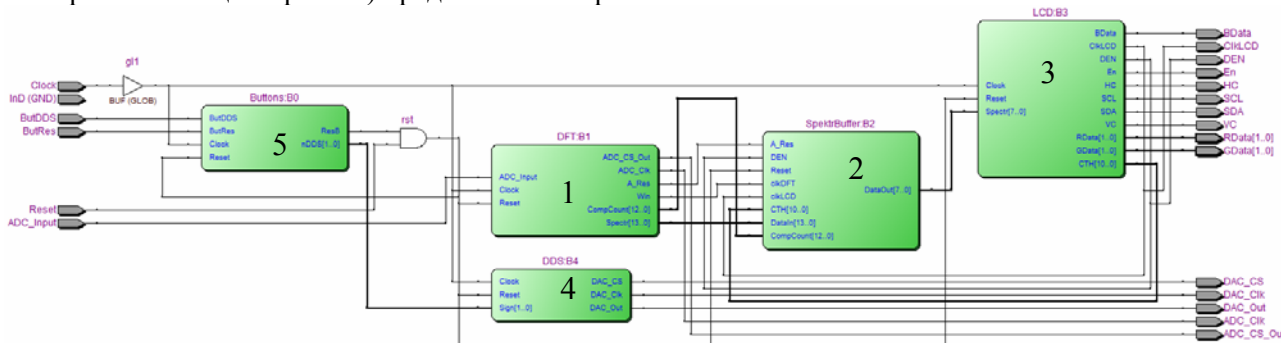


Рис. 4. RTL-диаграмма устройства ДПФ

Модуль DFT (1) представляет собой модуль вычисления ДПФ, модуль SpektrBuffer (2) — модуль оперативной памяти для временного хранения вычисленного спектра, откуда модуль LCD (3) считывает данные, выводимые на LCD TRDB-LTM, модуль DDS (4) — это модуль вспомогательного генератора (для генерации тестового синусоидального сигнала), а модуль Buttons (5) — модуль для определения нажатия на одну из кнопок.

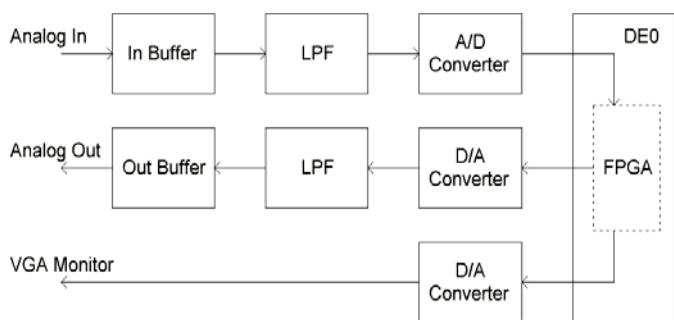


Рис. 5. Блок-схема конвертера устройства ДПФ

Также была спроектирована дополнительная плата конвертеров (рис. 5), которая содержит 3 части: конвертер входного сигнала для определения отсчетов, необходимых для вычисления спектра, конвертер выходного сигнала для возможности генерации тестового сигнала и конвертер для возможности отображения вычисленного спектра на мониторе (с VGA входом). Блоки In Buffer и Out Buffer являются буферными усилителями, необходимые для согласования конвертеров с источником сигналов или нагрузкой.

Блоки LPF (Low Pass Filter) — фильтры низкой частоты для отсекания сигналов, выходящих за пределы необходимой верхней граничной частоты (как входного сигнала, так и тестового генерируемого сигнала). A/D Converter — АЦП (аналого-цифровой преобразователь) на базе микросхемы TLC4541. D/A Converter — ЦАП (цифро-аналоговый преобразователь) — на базе DAC8560 (для генерации тестового сигнала) и микросхемы THS8134 (для вывода данных на VGA-монитор).

На основе спроектированных модулей были собраны и отлажены платы устройства ДПФ, которые представлены на рис. 6 (слева — комплект DE0-Nano с платой дополнительных конвертеров, справа — устройство ДПФ с блоком питания).

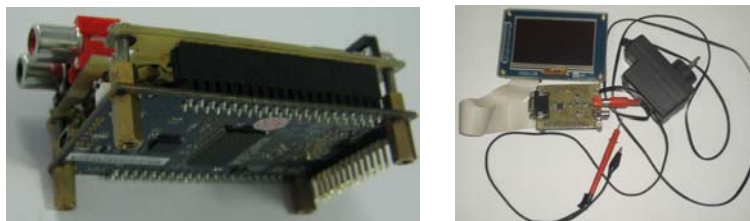


Рис. 6. Реализованное устройство ДПФ



Рис. 7.

На рис. 7 слева представлен тестовый режим, который включается на 3 секунды (для проверки корректности функционирования LCD) и нормальный режим функционирования (рис. 7 справа).

Для сравнения полученных устройством ДПФ результатов использовался осциллограф DS1052D фирмы Rigolna. Результаты, представленные обоими устройствами совпадают, что позволяет сделать вывод о корректности функционирования разработанного устройства ДПФ.

Таким образом, спроектированное устройство ДПФ на основе вычислений над полями Галуа позволило сократить объем требуемой для вычислений оперативной памяти в n раз (где n – размерность входного вектора или количество отсчетов для одного преобразования), по сравнению с классическими методами вычисления ДПФ. Разработанное устройство ДПФ позволяет вычислять спектр входного сигнала с верхней граничной частотой до 4 кГц и разрешением (шагом) 1 Гц. Время одного вычисления спектра составляет 2,4 с. Спроектированный модуль ДПФ задействовал всего 3% логических ячеек и 57% ячеек памяти FPGA EP3CE22F17C6, что позволяет встраивать данный модуль в другие устройства обработки сигналов, реализованных на базе FPGA.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Randall R. B. Frequency analysis.— Denmark: Bruel & Kjaer, 1988.
2. Bodean Gh., Sorokin Gh. Fourier transform over finite fields and its implementation in PLD // Moldova, ICTEI-2010.

S. S. Gritskov, O. Stavila, G. F. Sorokin

Discrete FPGA-based Fourier transformation development for low-frequency electrical signals processing.

This paper presents the development of the FPGA-based discrete Fourier transformation (DFT) device with the calculations over Galois fields. The device allows to reduce the RAM required for the calculations by n times (where n is the number of counts for one transformation) in comparison with the classical methods of calculating the DFT. The results of the development and analysis of the DFT device are presented.

Keywords: *DFT, module, converter, control.*