

УДК 004.9+004.052

ОСОБЕННОСТИ ПРЕДСТАВЛЕНИЯ ОБЪЕКТА ДИАГНОСТИРОВАНИЯ В АППАРАТНОЙ МОДЕЛИ НА FPGA

В. В. Антонюк, М. А. Дрозд, д. т. н. А. В. Дрозд

Одесский национальный политехнический университет

Украина, г. Одесса

melmoth@te.net.ua, drozd@ukr.net

Рассматриваются особенности организации аппаратной модели на FPGA и представления в ней объекта диагностирования для решения задач анализа цифровых компонентов компьютерных систем. Анализируются возможности аппаратной модели в задаче синтеза тестов, а также в оценке контролепригодности цифровых компонентов в составе систем критического применения.

Ключевые слова: аппаратная модель, FPGA, объект диагностирования, синтез тестов, цифровой компонент, контролепригодность, системы критического применения

Успехи в проектировании цифровых компонентов компьютерных систем на FPGA (Field Programmable Gate Arrays) открыли новые возможности в решении задач анализа схемотехнических решений [1]. К таким возможностям, прежде всего, следует отнести возросшую оперативность проектирования, которая позволяет строить и эффективно использовать аппаратные модели для исследования цифровых компонентов. Аппаратные модели, в свою очередь, существенно расширяют пространство решений задач анализа, повышая на несколько порядков производительность при проведении диагностических экспериментов и, соответственно, сложность решаемых задач. Реализация расширенных возможностей по решению задач анализа требует проведения исследований по изучению особенностей аппаратной модели, в частности, в представлении объекта диагностирования (ОД), что и составляет предмет данной работы.

В составе аппаратной модели для ОД необходимо обеспечить его контролепригодность, а также достоверность получаемых результатов [2].

Контролепригодность ОД складывается из его управляемости и наблюдаемости [3]. Их обеспечение требует наращивания аппаратной модели за счет средств, внешних по отношению к ОД.

Управляемость ОД достигается введением в состав аппаратной модели формирователей для генерации на входы ОД последовательностей входных слов. В случае исследования автомата с памятью формирователь должен устанавливать его в исходное состояние. При анализе комбинационных схем, одноктактных устройств, в которых комбинационная схема дополнена входным и (или) выходным регистром, а также конвейеров, составленных из одноктактных устройств (без глобальных обратных связей), формируемые последовательности складываются из множества входных слов, упорядочение которых не связано с особенностями функционирования ОД. Тогда решение задачи упорядочивания входных слов в последовательности может быть направлено на совершенствование диагностического эксперимента в части его подготовки или проведения, например на упрощение формирователя.

Наблюдаемость ОД обеспечивается доступом к точкам его схемы, представляющим интерес для решения задачи анализа. К таким контрольным точкам, как правило, относятся все выходные точки, через которые организуется выдача результата вычислений, а также заданное множество внутренних точек ОД. В процессе диагностического эксперимента необходимо запоминать значения в контрольных точках для отдельных входных слов или их последовательностей. Поэтому аппаратная модель должна содержать блок памяти для запоминания значений контрольных точек и входных слов, а также блок анализа ценности запоминаемых данных. Ценность данных может анализироваться одновременно с их записью в блок памяти или до записи, что, соответственно, снижает суммарное время на анализ и запись данных или энергопотребление, уменьшая количество производимых записей. Если ценность данных не подтверждается, то в первом случае блокируется изменение адреса записи, а во втором случае — сама запись.

При угрозе переполнения блока памяти необходимо сохранить запомненные данные вне аппаратной модели, что включает в ее состав блок выдачи результатов.

Структурная схема аппаратной модели, удовлетворяющей требованию контролепригодности ОД, показана на рис. 1.

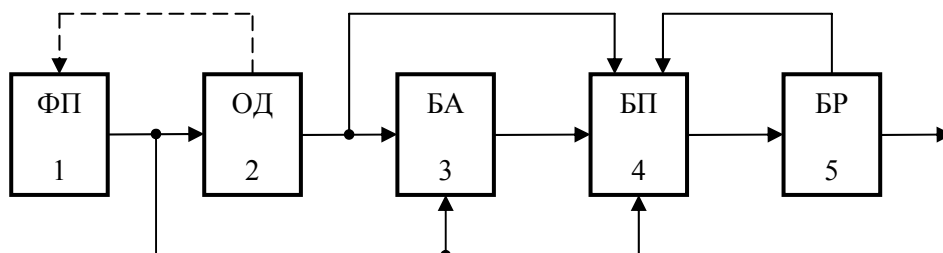


Рис. 1. Структурная схема аппаратной модели

Схема содержит формирователь последовательностей ФП, объект диагностирования ОД, блок анализа БА, блок памяти БП и блок выдачи результатов БР. Формирователь 1 генерирует входные последовательности для исследования ОД. Блок 3 анализирует ценность данных, получаемых от ОД, и при их важности инициирует сохранение в блоке 4 этих данных и части входной последовательности, на которых они были получены. Блок 5 обеспечивает выдачу результатов исследований из аппаратной модели каждый раз по заполнению памяти блока 4 или в процессе ее заполнения.

Для обеспечения достоверности получаемых результатов функционирование аппаратной модели необходимо поддерживать методами и средствами рабочего диагностирования [4].

Следует отметить, что аппаратная модель должна строиться автоматически по спецификации ОД и в соответствии с задачей анализа, конкретизирующей характер входных последовательностей, критерии ценности получаемых данных, что определяет спецификации для остальных блоков.

Автоматизации проектирования аппаратной модели способствует набор стандартных решений для построения и рабочего диагностирования блоков 1 и 3 — 5. Для включения в этот перечень также ОД необходимо выбрать для поддержки его функционирования легко реализуемый метод рабочего диагностирования, например, тиражирующий схему ОД. К таким решениям относится построение мажоритарной системы, каналами которой служат схемы ОД. Результат выбирается с выходов каналов поразрядно с использованием функции переноса полного сумматора. Учитывая высокую надежность средств FPGA-проектов и целесообразность снижения аппаратных затрат, мажоритарная система может быть упрощена до двух каналов, выявляющих ошибку на выходе ОД с последующим повтором шага работы аппаратной модели, на котором произошла ошибка. В этом случае структурная схема аппаратной модели дополняется обратной связью от ОД к формирователю для повторного задания входных слов (на рис. 1 показана пунктиром).

Среди задач анализа можно выделить построение тестов, а также исследование контролепригодности цифровых компонентов систем критического применения [5].

В задаче синтеза тестов аппаратная модель открывает возможности перебора входных слов, направленного на активацию всех одномерных путей схемы ОД [6]. Для сокращения времени перебора входных слов и, соответственно, повышения сложности решаемых задач целесообразно увеличивать производительность аппаратной модели. В случае анализа ОД, являющегося комбинационной схемой, производительность может быть повышена конвейеризацией вычислений, выполняемых в ОД, а для конвейеров с большой продолжительностью такта — уменьшением этой продолжительности за счет дополнительного разбиения схемы ОД на участки конвейера. В FPGA-проекте схемным решением с наименьшей продолжительностью такта является логическая ячейка LE (Logic Element), содержащая один LUT (Look-Up Table) и триггер на его выходе. Конвейеризация комбинационной схемы с получением минимального по продолжительности такта предусматривает включение в схему FPGA-проекта триггера после каждого LUT (т. е. использования в составе логической ячейки LE и LUT, и триггера), а также введение дополнительных триггеров для одновременного получения данных на адресных входах каждого LUT. Для конвейеров с большой продолжительностью такта производительность может быть повышена путем перехода к наименьшей продолжительности такта для каждого его участка, т. е. конвейеризацией комбинационной схемы участка.

Проблема контролепригодности цифровых компонентов в составе систем критического применения возникает вследствие работы таких систем в двух режимах: штатном и критическом, а также функционирования цифровых компонентов (как правило, одноктактных устройств) в этих режимах на различных множествах входных слов [7]. Это способствует накоплению в штатном режиме скрытых неисправностей, которые могут проявиться в критическом режиме и нарушить функциональную безопасность систем критического применения [8]. Аппаратная модель позволяет выявить множество точек, которые способны накапливать скрытые неисправности на входных словах штатного режима, и множество точек, которые могут проявлять неисправности на входных словах критического режима. Пересечение выявленных множеств определяет точки схемы цифрового компонента, потенциально опасные для систем критического применения в части поддержания их функциональной безопасности.

Таким образом, аппаратная модель открывает новые возможности для исследования цифровых компонентов. Вместе с тем, функциональность аппаратной модели должна быть обеспечена с учетом контролепригодности ОД и достоверности результатов проводимых исследований, что определяет ее структуру, включая кроме объекта диагностирования ряд обслуживающих блоков.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. FPGA-based NPP I&C Systems: Development and Safety Assessment // Ed. by Kharchenko V.S., Sklyar V.V.— Kirovograd: RPC Rady, 2008.
2. Щербаков Н. С. Достоверность работы цифровых устройств.— Москва: Машиностроение, 1989.
3. Беннетт Р. Дж. Проектирование тестопригодных логических схем.— Москва: Радио и связь, 1995.
4. Дрозд А. В., Харченко В. С., Антошук С. Г. и др. Рабочее диагностирование безопасных информационно-управляющих систем.— Харьков: Нац. аэрокосмический ун-т им. Н. Е. Жуковского «ХАИ», 2012.
5. Drozd A., Kharchenko V., Antoshchuk S., Drozd M. Checkability of safety-critical I&C system components in normal and emergency modes // Journal of Information, Control and Management Systems.— 2012.— Vol. 10, N 1.— P. 33 — 40.
6. Антонюк В. В., Дрозд Ю. В., Дрозд А. В. Модель входных последовательностей для тестирования цифровых схем с позиции развития ресурсов // Труды Одесского политехнического университета.— 2012.— Вып. 2 (30).— С. 122 — 125.
7. Drozd A., Kharchenko V., Antoshchuk S. et al. Checkability of the digital components in safety-critical systems: problems and solutions // Proc. IEEE East-West Design & Test Symposium.— Sevastopol, Ukraine.— 2011.— P. 411—416.
8. Дрозд А. В., Харченко В. С., Антошук С. Г. и др. Оценка контролепригодности цифровых компонентов встроенных систем критического применения // Радіоелектронні і комп'ютерні системи.— 2012.— № 6 (58).— С. 184 — 190.

V. V. Antonyuk, M. V. Drozd, A. V. Drozd

Features of diagnosis object representation in hardware model on FPGA.

The authors consider particularities in the structure of the hardware model on FPGA and representation of diagnosis objects in it for solving problems of analysis of digital components of computer systems. The potential of the hardware model in a test-pattern generation task, as well as in estimation of checkability of the digital components in structure of safety-critical systems are analyzed.

Keywords: *hardware model, FPGA, object of diagnosis, test-pattern generation, digital component, checkability, safety-critical systems.*